

DESENVOLVIMENTO DE UMA ARQUITETURA DE COMPUTADOR, DEDICADA  
PARA O TRATAMENTO DE IMAGEM EM TOMOGRAFIA POR RMN.

JAN FRANS WILLEM SLAETS

MARIA STELA V. DE PAIVA

- Instituto de Física e Química de São Carlos  
Universidade de São Paulo  
Av. Dr. Carlos Botelho, 1465 - C.P. 369  
13.560 - São Carlos, SP

**SUMÁRIO:** Este trabalho mostra as características de um sistema em desenvolvimento no LIE (Laboratório de Instrumentação Eletrônica), do IFQSC, para a reconstrução, tratamento e interpretação de imagens, obtidas por Tomografia por RMN (TORMN).

**OBJETIVOS:**

O objetivo básico deste projeto é agilizar a análise de imagens obtidas por TORMN, através da visualização de imagens de alta resolução em intensidade.

Para isso, serão implementados os seguintes recursos no sistema:

a) Janelas - para escolha da definição dos parâmetros de contraste, o que permitirá a visualização de detalhes de diferenças de intensidade, mascaradas pela resolução final dos 256 níveis de cinza, do terminal de vídeo. A operação destas janelas deverá ser instantânea, a fim de facilitar a visualização da dinâmica total (16 bits) da intensidade da imagem original.

b) Zoom - para facilitar a observação de detalhes no plano.

c) Divisão da Tela em Quadrantes - utilizada na comparação de imagens tais como, aquelas obtidas através do uso de pesos proporcionais, definidos pelos tempos de relaxação T1 e T2, na densidade de protons.

d) Visualização e Definição de Contornos - necessário para determinar regiões de interesse, para o cálculo de área, intensidade média, desvio padrão, etc.

**1. CARACTERÍSTICAS DO SISTEMA A SER DESENVOLVIDO**

Três blocos deverão compor a estrutura desta arquitetura:

a) Memória de Imagem

Esta memória deverá ser usada para o armazenamento de imagens digitalizadas, obtidas por Tomografia por RMN, com resolução de 16bits/pixel.

Este sistema inicialmente, deverá permitir o armazenamento de duas imagens diferentes. O resultado das operações realizadas sobre as imagens contidas nestas memórias, será transferido para a memória de tela, de forma a manter os dados originais em resolução de 16 bits/pixel, disponíveis para quaisquer outras operações.

#### b) Processador Gráfico

Como processador gráfico deverá ser utilizado o TMS 34010, da Texas Instruments Inc., recentemente lançado no mercado, e com capacidade de endereçamento de até 512 MBYTES.

Este processador gráfico, de 32 bits, apresenta o conjunto de instruções voltado principalmente, para aplicações gráficas, além de possuir um conjunto de instruções de propósito geral, suficiente para suportar linguagem de alto nível.

Pode ser interfaceado diretamente com memórias RAM'S dinâmicas comuns ou RAM'S dinâmicas específicas para aplicações em vídeo. Além disso, gera o conjunto de sinais de controle para vídeo.

Pode operar como processador mestre ou pode ser gerenciado por um processador central, via interface interna. Apresenta barramentos distintos para o "display" gráfico, processador mestre e memória local. Pode manipular pixels com 1, 2, 4, 8 ou 16 bits, além de dados de tamanho arbitrário, entre 1 e 32 bits.

#### c) Memória de Tela e Monitor de Vídeo

No protótipo, as imagens serão visualizadas num monitor de vídeo branco e preto, com resolução de 512 X 256 pixels e 8 bits/pixel.

Inicialmente serão utilizados 2 conjuntos de memórias de tela, de 128 Kbytes cada, possibilitando a troca rápida de imagem.

## 2. ESTÁGIO ATUAL DO PROJETO

Atualmente está em desenvolvimento a parte de hardware do projeto, baseado na documentação obtida do processador gráfico (TMS 34010 - Preliminary - Janeiro, 1986 - Texas Instruments Inc.).